

混合晶向反型模式全包围栅 CMOS 场效应晶体管

技术领域

本发明涉及半导体制造技术领域，尤其涉及一种混合晶向的反型模式全包围栅 CMOS 场效应晶体管。

背景技术

互补金属氧化物半导体 (CMOS, Complementary Metal Oxide Semiconductor) 器件是在将 N 型金属氧化物半导体晶体管 (NMOS) 与 P 型金属氧化物半导体晶体管 (PMOS) 集成在同一块硅片上的半导体器件。专利申请号为 200610028768.5 的中国专利公开了一种互补金属氧化物半导体器件。图 1 为该专利公开的互补金属氧化物半导体器件结构示意图。如图 1 所示，半导体衬底上形成有第一区域 310a、第二区域 310b 和隔离区 305。所述第一区域 310a 和第二区域 310b 并排分布，栅极 340 贯穿所述第一区域 310a、隔离区 305 和第二区域 310b。在所述栅极 340 两侧的第一区域 310a、第二区域 310b 中分别形成源极 320、350 和漏极 330、360。所述栅极 340 的材料为金属或全金属硅化物，其宽度为 2-200nm，所述栅极 340 下面的导电沟道宽度为 5-500nm。该专利的有益效果在于：在第一区域 310a 形成 PMOS，第二区域 310b 形成 NMOS，所述 NMOS 和 PMOS 并排分布，共用一个栅极，形成的 CMOS 呈方形分布，这种共栅极的分布能够有效提高晶片面积利用率。

随着器件尺寸的不断缩小，CMOS 技术将常规平面 CMOS 器件沟道长度按比例继续缩小所面临的日益严重的挑战是如何在控制器件漏电流 (I_{off}) 的同时保持较高的电流驱动能力 (I_{on}) 并且阈值电压有很好的稳定性。短沟道效应 (SCE) 成为所有常规平面 CMOS 器件按比例进一步缩小所难以逾越的一道障碍，它导致器件特性的退化，为进一步缩小常规平面 CMOS 器件设置限制。

绝缘体上硅 (SOI, Silicon On Insulator) 是指以“工程化的”基板代替传统的体型衬底硅的基板技术，这种基板通常由以下三层构成：薄的单晶硅顶层，在其上形成蚀刻电路；相当薄的埋层氧化层 (BOX, buried oxide)，即绝缘二氧化硅中间层；非常厚的体型衬底硅衬底层，其主要作用是为其上的两层提供机械支撑。由于 SOI 结构中氧化层把其上的硅膜层与体型衬底硅衬底层分隔开来，因此大面积的 p-n 结将被介电隔离 (dielectric isolation)



取代。源极 (source region) 和漏极 (drain region) 向下延伸至埋层氧化层, 有效减少了漏电流和结电容。对于沟道长度以纳米为长度单位的器件来讲, 主要由栅极电场来控制沟道电导而不受漏极散射电场影响变得非常重要。对于 SOI 器件来讲, 不管是采用部分耗尽还是全耗尽设计, 均可以通过减小硅的厚度改善上述问题。与常规平面 CMOS 器件相比, 基于沟道反型工作模式的双栅或三栅鳍形场效应管具备很好的栅控制及按比例缩小能力, 可以作为 22 nm 及以下节点可供选择的器件。其中, 反型模式场效应晶体管, 其源区和漏区的杂质掺杂类型与沟道杂质掺杂类型不同, 导电载流子为少数载流子 (少子), 源区和漏区分别于沟道之间存在 PN 结。此结构器件目前应用最为广泛。

另一方面, 在 Si 材料中, 空穴迁移率在(110)Si 衬底电流沿<110>晶向流动与传统的(100) Si 衬底相比增加一倍以上。而电子迁移率在 (100) Si 衬底是最高的。为充分利用载流子迁移率依赖于 Si 表面晶向的优势, IBM 公司的 Yang 等人开发出一种采用混合晶体取向 Si 衬底制造 CMOS 电路的新技术。Yang M, leong M, Shi L 等人于 2003 年在《Digest of Technical Paper of International Electron Devices Meeting》杂志上发表的文章《High performance CMOS fabricated on hybrid substrate with different crystal orientations》中介绍了他们的技术。其通过键合和选择性外延技术, NMOS 器件制作在具有埋层氧化层的(100)晶面 Si 表面上, 而 PMOS 器件制作在(110)晶面 Si 上, PMOS 器件性能取得极大提高。当 $I_{off} = 100 \text{ nA}/\mu\text{m}$, (110)衬底上的 PMOS 器件驱动电流提高了 45%。其缺点是制作在外延层上的 PMOS 器件没有埋层氧化层将其与衬底隔离, 因而器件性能还是受到影响。在 2009 年, 第 54 卷, 第 14 期的《科学通报》杂志上, 肖德元、王曦、俞跃辉等人发表的名为《一种新型混合晶向积累型圆柱体共包围栅互补金属氧化物场效应晶体管》的文章中提出了一种新型的 CMOS 器件, 该器件工作于积累模式, 采用圆柱体全包围栅的结构, 其 NMOS 和 PMOS 的沟道采用了不同晶向的 Si 材料, 且均具有埋层氧化层将其与衬底隔离。该器件具备较高的载流子迁移率、可避免多晶硅栅耗尽及短沟道效应等优点。

由于沟道的截面形状即全包围栅的形状结构对器件沟道的电完整性有较大影响。鉴于此, 本发明为了进一步提升器件性能, 提高器件进一步按比例缩小的能力, 提出一种新型的工作于反型模式的全包围栅 CMOS 场效应晶体管, 其 NMOS 和 PMOS 的沟道的截面形状为跑道形, 并采用了不同晶向的 Si 材料, 且均有埋层氧化层将其与衬底隔离。



发明内容

本发明要解决的技术问题在于提供一种混合晶向反型模式全包围栅 CMOS 场效应晶体管，在反型工作模式下，具有高载流子迁移率，低低频器件噪声，并可避免多晶硅栅耗尽及短沟道效应，增大器件的阈值电压。

为了解决上述技术问题，本发明采用如下技术方案：

一种混合晶向反型模式全包围栅 CMOS 场效应晶体管，其包括：底层半导体衬底、具有第一沟道的 PMOS 区域、具有第二沟道的 NMOS 区域及一个栅区域，其特征在于：

所述第一沟道及第二沟道的横截面均为腰形，由左右两端的半圆，及中部的与左右两端半圆过渡连接的矩形共同构成，且所述第一沟道采用 n 型 (110) Si 材料，所述第二沟道采用 p 型 (100) Si 材料；

所述栅区域将所述第一沟道及第二沟道的表面完全包围；

在所述 PMOS 区域与 NMOS 区域之间，除栅区域以外，设有第一埋层氧化层；

在所述 PMOS 区域与所述底层半导体衬底之间或 NMOS 区域与所述底层半导体衬底之间，除栅区域以外，设有第二埋层氧化层。

进一步地，所述 PMOS 区域和 NMOS 区域还包括分别位于其沟道两端的源区及漏区。其中所述 PMOS 区域的源区及漏区为重掺杂的 p 型 (110) Si 材料或 GeSi 材料；所述 NMOS 区域的源区及漏区为重掺杂的 n 型 (100) Si 材料或 SiC 材料。

进一步地，所述第一沟道及第二沟道的长度 L 为 10-50nm，其横截面左右两端半圆的直径 d 均为 10-80nm，中部矩形的宽度 w 为 10-200nm。

进一步地，所述栅区域包括：将所述第一沟道及第二沟道的表面完全包围的栅介质层以及将所述栅介质层完全包围的栅材料层。

其中，所述的栅材料层为金属或全金属硅化物；所述的栅材料层可以选自钛、镍、钼、钨、氮化钼、氮化钨、氮化钛、硅化钛、硅化钨、硅化镍中的一种或其组合；所述的栅介质层的材料为二氧化硅、氮氧硅化合物、碳氧硅化合物或铅基的高介电常数材料中的一种。

进一步地，所述底层半导体衬底的材料为 Si。



进一步地，所述第一埋层氧化层或第二埋层氧化层的厚度均为 10-200nm，其材料均为二氧化硅。

本发明的混合晶向反型模式全包围栅 CMOS 场效应晶体管的有益效果在于：

一方面，其 PMOS 区域和 NMOS 区域采用了不同晶向的 Si 材料，特别是第一沟道采用了 n 型的 (110) Si 材料，第二沟道采用了 p 型的 (100) Si 材料，在反型模式的 CMOS 器件中导电载流子为少数载流子（少子），即第一沟道的导电载流子为 n 型 (110) Si 材料中的空穴，第二沟道的导电载流子为 p 型 (100) Si 材料中的电子。经过多次的实验表明：空穴迁移率在 (110) Si 衬底电流沿<110>晶向流动与传统的 (100) Si 衬底相比增加一倍以上。而电子迁移率在 (100) Si 衬底是最高的。本发明有针对性的采用两种不同晶向的 Si 材料，有利于进一步提高其载流子的迁移速率；另一方面，PMOS 区域和 NMOS 区域同时具有埋层氧化层将其与衬底隔离，能有效的减少漏电流，使器件具备更好的性能及进一步按比例缩小的能力。此外，本发明还采用了横截面为腰形（跑道形）的全包围栅沟道结构，如图 5 所示，其可分解成独立并行工作的一个双栅沟道结构和一个圆柱体全包围栅沟道结构。这种结构的优点在于：暨增大了沟道横截面积（增加了矩形部分），提高了器件的驱动电流，而同时又保持器件的电完整性（圆形沟道）。

相较于现有技术，本发明的器件结构简单、紧凑，集成度高，在反型工作模式下，采用不同晶向的沟道、跑道形全包围栅结构、高介电常数栅介质和金属栅，具备高载流子迁移率，可避免多晶硅栅耗尽及短沟道效应等。

附图说明

图 1 为背景技术中互补金属氧化物半导体器件结构示意图。

图 2a-2c 为本发明实施例一的器件结构示意图：

图 2a 为俯视图；

图 2b 为图 2a 沿 XX' 的剖面图；

图 2c 为图 2a 沿 ZZ' 方向的剖视图。

图 3a-3c 为本发明实施例二的器件结构示意图：



图 3a 为俯视图；

图 3b 为图 3a 沿 XX' 的剖面图；

图 3c 为图 3a 沿 ZZ' 方向的剖视图。

图 4 为本发明的器件结构沟道部分的立体示意图。

图 5 为本发明的沟道结构的横截面示意图。

图 6a 为本发明实施例一中晶体管的俯视图。

图 6b 为图 6a 沿 XX' 的剖视图。

图 7a 为本发明实施例二中晶体管的俯视图。

图 7b 为图 7a 沿 XX' 的剖视图。

图中标记说明：

100 底层半导体衬底	201 第一埋层氧化层
202 第二埋层氧化层	300 NMOS 区域
301 第二沟道	302 NMOS 区域的漏区
303 NMOS 区域的源区	400 PMOS 区域
401 第一沟道	402 PMOS 区域的漏区
403 PMOS 区域的源区	500 栅区域
501 栅介质层	502 栅材料层
503 绝缘体介质侧墙隔离结构	

具体实施方式

下面结合附图进一步说明本发明的器件结构，为了示出的方便附图并未按照比例绘制。

图 2a-2c，图 3a-3c 为本发明器件结构的示意图：图 2a 为俯视图；图 2b 为图 2a 沿 XX' 的剖面图；图 2c 为图 2a 沿 ZZ' 方向的剖视图。图 3a 为俯视图；图 3b 为图 3a 沿 XX' 的剖面图；图 3c 为图 3a 沿 ZZ' 方向的剖视图，沿 ZZ' 方向的剖视图，主要表示的是沟道部分的截面情况。其中，本发明的器件结构可以有两种表示形态，图 2a-2c 和图 3a-3c 分别表示了这两种形态。图 4 为沟道部分的立体形态示意图。图 5 为沟道的截面示意图。

实施例一



如图 2a-2c 所示, 本实施例的混合晶向反型模式全包围栅 CMOS 场效应晶体管包括: 底层半导体衬底 100、具有第一沟道 401 的 PMOS 区域 400、具有第二沟道 301 的 NMOS 区域 300 及一个栅区域 500。所述第一沟道 401 及第二沟道 301 的横截面均为腰形(跑道形), 且所述第一沟道 401 优选为 n 型(110) Si 材料, 所述第二沟道 301 优选为 p 型(100) Si 材料。所述栅区域 500 将所述第一沟道 401 及第二沟道 301 的表面完全包围。其中, 所述第一沟道 401 及第二沟道 301 横截面的形状, 由左右两端的半圆以及中部的与左右两端半圆过渡连接的矩形共同构成。如图 5 所示, 其可分解成独立并行工作的一个双栅沟道结构和一个圆柱体全包围栅沟道结构。其中 d 为横截面左右两端半圆的直径, w 为中部矩形的宽度, 该跑道形横截面的总宽度则为 $d+w$, t_{ox} 是栅介质层的厚度。

在所述 PMOS 区域 400 与 NMOS 区域 300 之间, 除了栅区域 500 覆盖的区域以外, 还设有第一埋层氧化层 201 (BOX) 将它们隔离, 以避免区域之间的相互干扰。在所述 NMOS 区域 300 与所述底层半导体衬底 100 (即 Si 衬底) 之间, 除了栅区域 500 所覆盖的部分以外, 还设有第二埋层氧化层 202。所述的第二埋层氧化层 202 可以将所述 NMOS 区域 300 或所述 PMOS 区域 400 与所述底层半导体衬底 100 隔离, 有效的减少漏电流, 从而提高器件性能。

其中, 所述 PMOS 区域 400 和 NMOS 区域 300 还包括分别位于其沟道两端的源区及漏区。PMOS 区域的源区 403 及 PMOS 区域的漏区 402 为重掺杂的 p 型(110)Si 材料或 GeSi 材料; NMOS 区域的源区 303 及 NMOS 区域的漏区 302 为重掺杂的 n 型(100) Si 材料或 SiC 材料。位于下层的源漏区平行于沟道方向的长度大于位于其上层源漏区的长度, 使下层的源漏区暴露出来, 从而方便电极的引出。参看图 2a, 所述的源漏区两端垂直于沟道方向的宽度大于沟道的直径, 即所述 PMOS 区域 400 和 NMOS 区域 300 呈中间细两端宽大的鳍形。

请继续参看图 2b、2c, 所述栅区域 500 包括: 将所述第一沟道 401 及第二沟道 301 的表面完全包围的栅介质层 501 以及将所述栅介质层 501 完全包围的栅材料层 502。其中, 所述的栅材料层 502 为金属或全金属硅化物; 所述的金属或全金属硅化物选自钛、镍、钽、钨、氮化钽、氮化钨、氮化钛、硅化钛、硅化钨、硅化镍中的一种或其组合; 所述的栅介质层 502 的材料可以是二氧化硅、氮氧硅化合物、碳氧硅化合物或铅基的高介电常数材料中的一种, 优选高介电常数的绝缘介质材料。另外, 所述底层半导体衬底 100 为 Si 衬底, 也可为 Ge、Ga、In 等其他半导体材料。



在器件尺寸设计上,请参看图 2c、图 4 及图 5,所述第一沟道 401 及第二沟道 402 长度 L 为 10-50nm,其横截面左右两端半圆的直径 d 均为 10-80nm,中部矩形的宽度 W 为 10-200nm。所述第一埋层氧化层 201 或第二埋层氧化层 202 的厚度均为 10-200nm,其材料均为二氧化硅。

在上述图 2b 所示器件结构的基础上,经后续半导体制造工艺即可得到完整的晶体管。图 6a 为本实施例晶体管的俯视图,图 6b 为其剖视图。其中,所述的后续半导体制造工艺包括:在所述栅材料层 502 上制作栅极、在所述 PMOS 区域的源区 403、NMOS 区域的源区 303、PMOS 区域的漏区 402、NMOS 区域的漏区 302 上分别制作源极、漏极。为优化器件性能,栅极两侧还设有绝缘体介质侧墙隔离结构 503,其材料可以是二氧化硅、氮化硅等。

实施例二

本发明的另一种表示形态如图 3a-3c 所示,本实施例的混合晶向反型模式全包围栅 CMOS 场效应晶体管的器件结构包括:底层半导体衬底 100、具有第一沟道 401 的 PMOS 区域 400、具有第二沟道 301 的 NMOS 区域 300 及一个栅区域 500。所述第一沟道 401 及第二沟道 301 的横截面均为腰形,由左右两端的半圆,及中部的与左右两端半圆过渡连接的矩形共同构成,且所述第一沟道 401 优选为 n 型 (110) Si 材料,所述第二沟道 301 优选为 p 型 (100) Si 材料。所述栅区域 500 将所述第一沟道 401 及第二沟道 301 的表面完全包围。在所述 PMOS 区域 400 与 NMOS 区域 300 之间,除了栅区域 500 覆盖的区域以外,还设有第一埋层氧化层 201(BOX) 将它们隔离,以避免区域之间的相互干扰。

与实施例一的不同之处在于:在所述 NMOS 区域 300 与 PMOS 区域 400 之间,除了栅区域 500 覆盖的区域以外,设有第一埋层氧化层 201;在所述 PMOS 区域 400 与所述底层半导体衬底 100 之间,除了栅区域 500 所覆盖的部分以外,设有第二埋层氧化层 202。也就是说本发明的器件结构由上至下可以如实施例一,依次为 PMOS 区域 400、第一埋层氧化层 201、NMOS 区域 300、第二埋层氧化层 202 及底层半导体衬底 100;或如实施例二,依次为 NMOS 区域 300、第一埋层氧化层 201、PMOS 区域 400、第二埋层氧化层 202 及底层半导体衬底 100。除此之外,实施例二与实施例一的其他技术方案相同。

在图 3c 所示器件结构的基础上,经后续半导体制造工艺即可得到完整的晶体管。图 7a 为本实施例晶体管的俯视图,图 7b 为其剖视图。其中,所述的后续半导体制造工艺包括:在所述栅材料层 502 上制作栅极、在所述 PMOS 区域的源区 403、NMOS 区域的源区 303、PMOS 区



域的漏区 402、NMOS 区域的漏区 302 上分别制作源极、漏极。栅极两侧还制备有绝缘体介质侧墙隔离结构 503，其材料可以是二氧化硅、氮化硅等。

至此本发明的器件结构介绍完毕，本发明中涉及的其他技术属于本领域技术人员熟悉的范畴，在此不再赘述。

为了进一步分析实施例一及实施例二中器件的性能，本发明采用了较为精准的流体力学模型和量子力学密度渐变模型，考虑并应用了与掺杂以及表面粗糙有关的迁移率退化模型进行三维技术仿真。仿真结果表明本发明的混合晶向反型模式全包围栅 CMOS 场效应晶体管具备许多常规鳍形场效应管器件（其中包括长方体、圆柱体全包围栅场效应管）所不具备的优点。

由于本发明采用了跑道形全包围栅结构，器件沟道的电完整性得到很大改善，相对于圆柱体全包围栅结构而言，其优点在于：增大了沟道横截面积，提高了器件的驱动电流而同时又保持器件的电完整性。

这使本发明的 CMOS 管在反型工作模式下，具备高载流子迁移率，低低频器件噪声，并可避免多晶硅栅耗尽及短沟道效应，增大了器件的阈值电压。

上述实施例仅用以说明而非限制本发明的技术方案。任何不脱离本发明精神和范围的技术方案均应涵盖在本发明的专利申请范围当中。



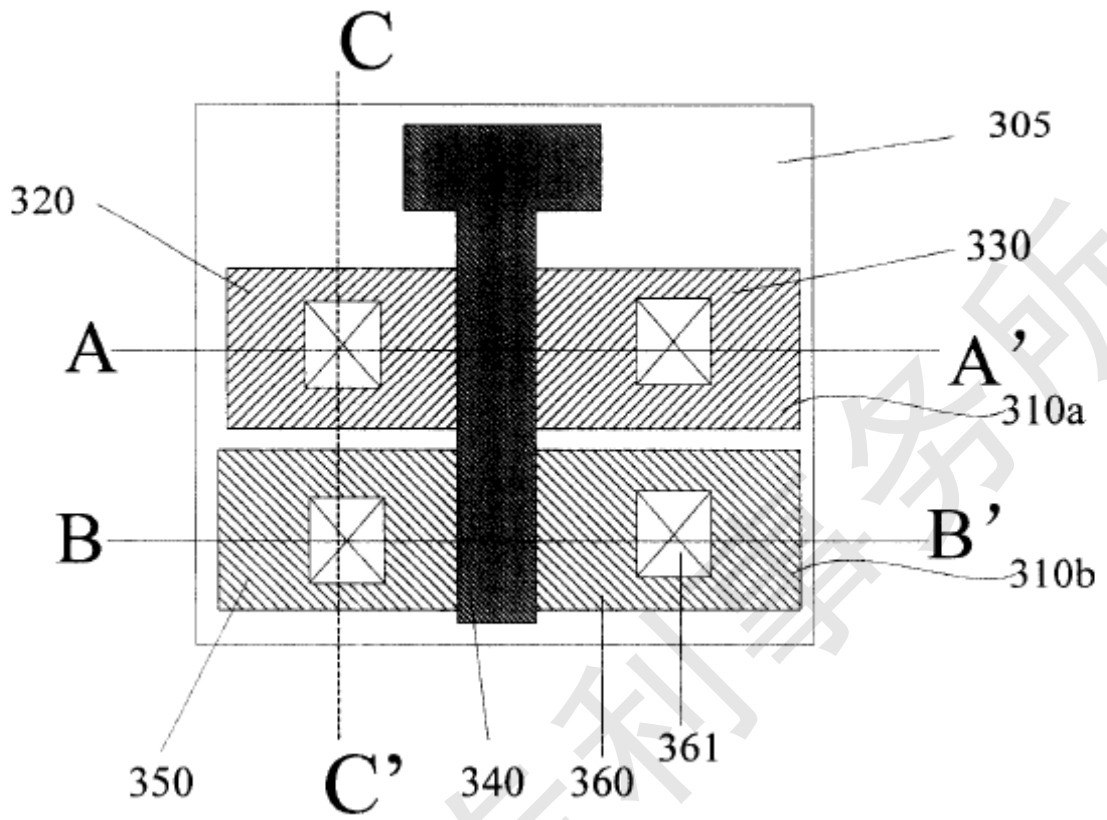


图 1

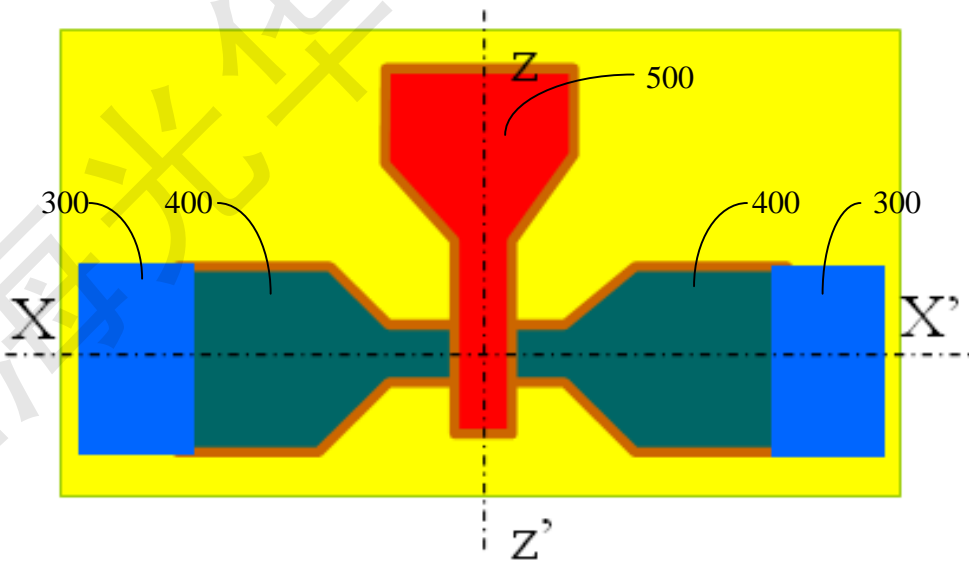


图 2a



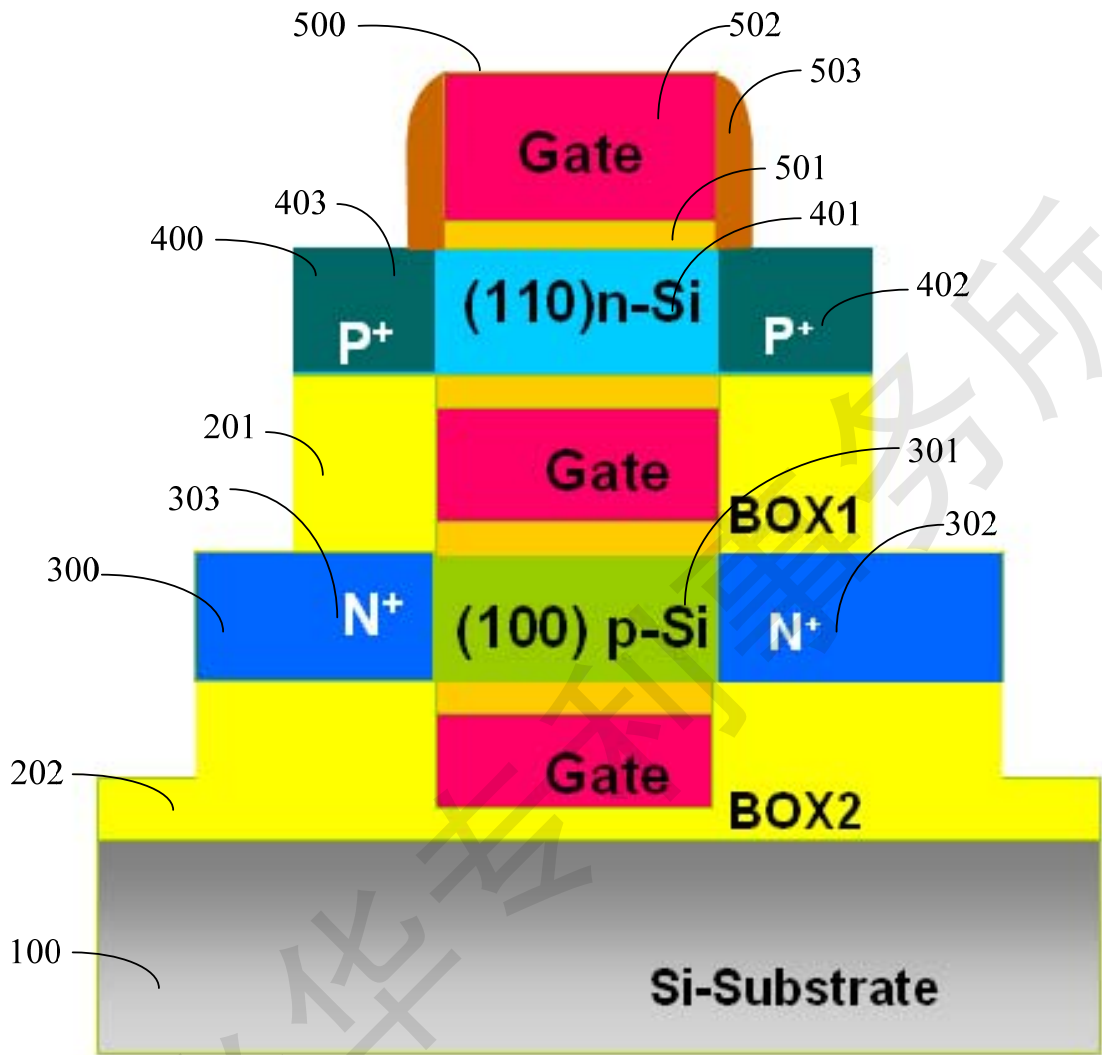


图 2b



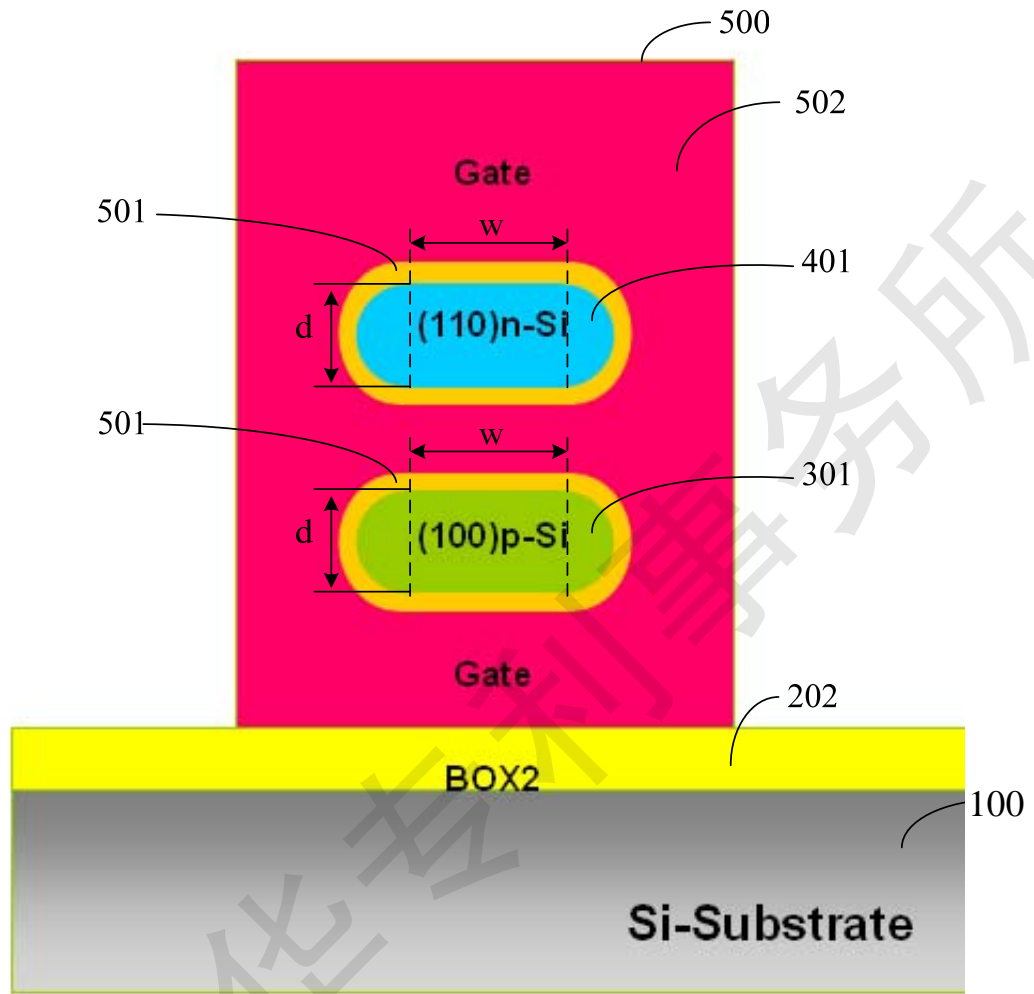


图 2c



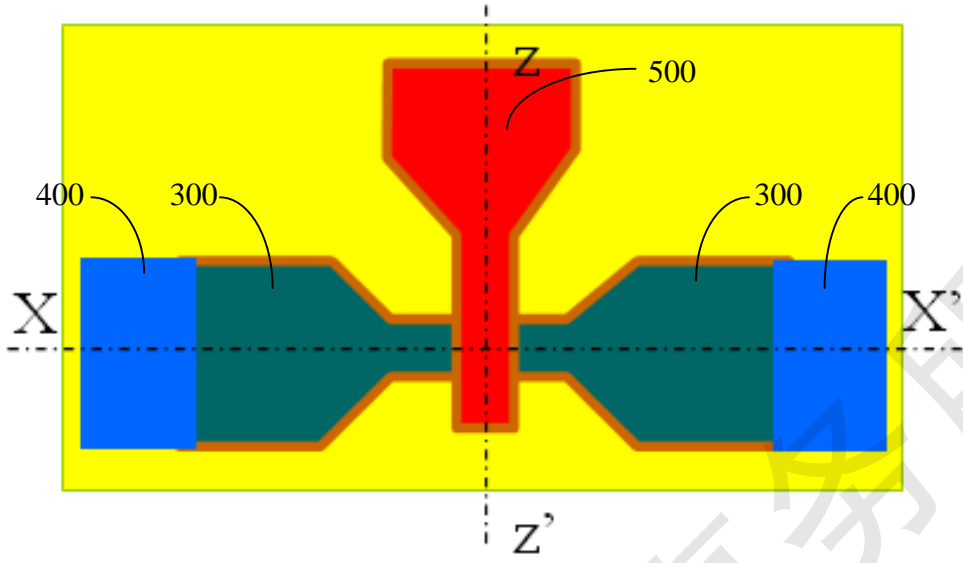


图 3a



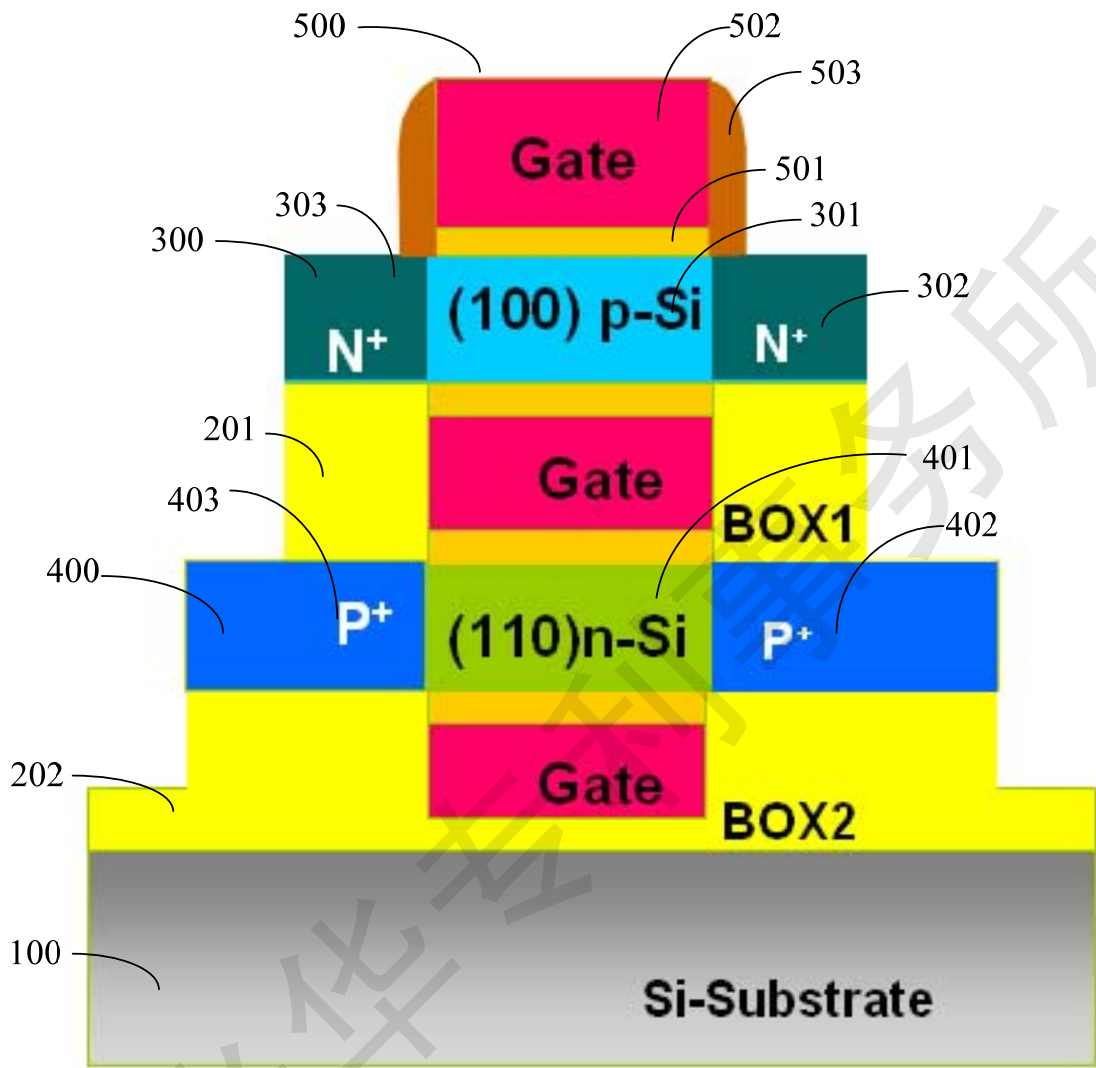


图 3b



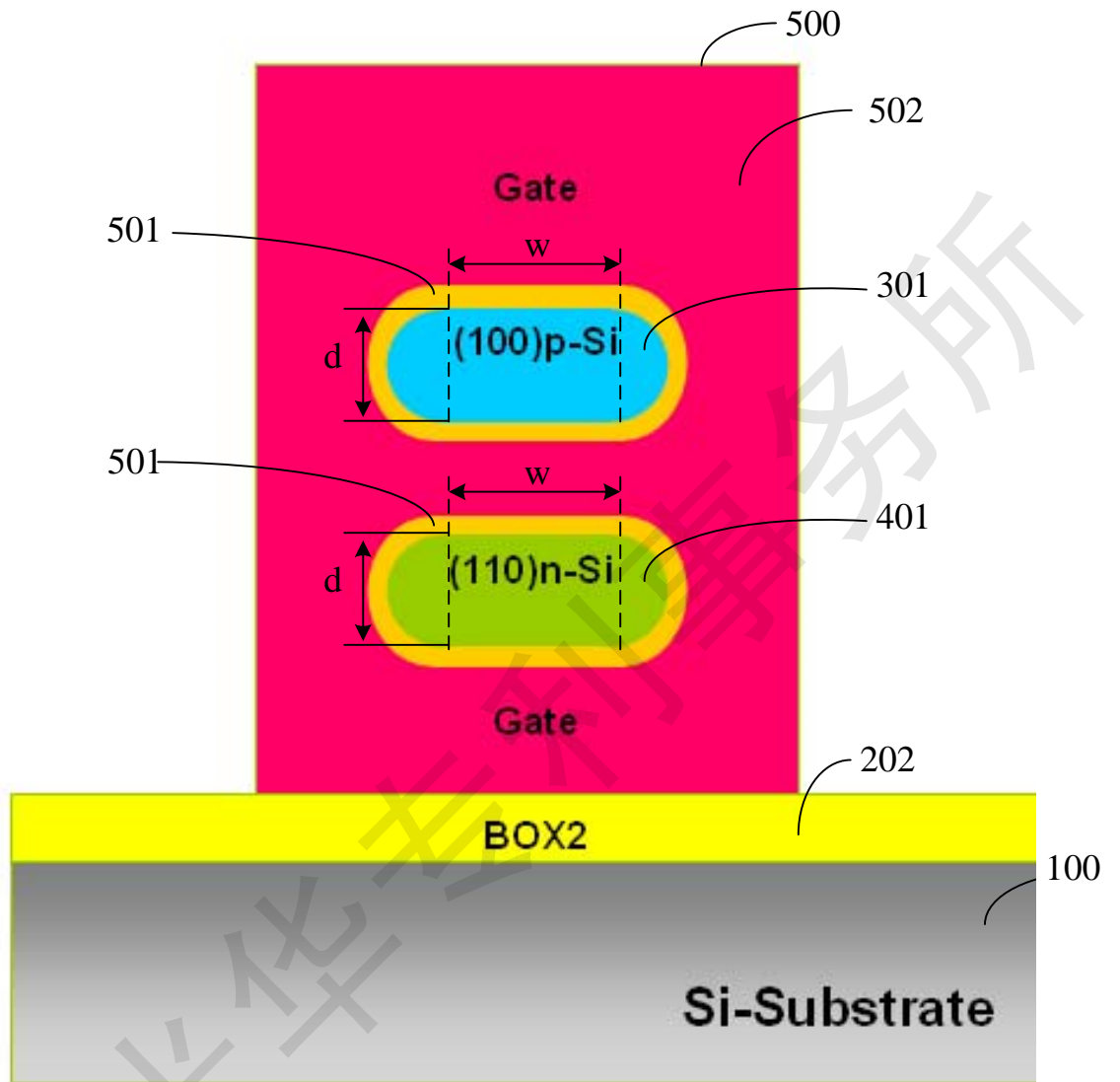


图 3c



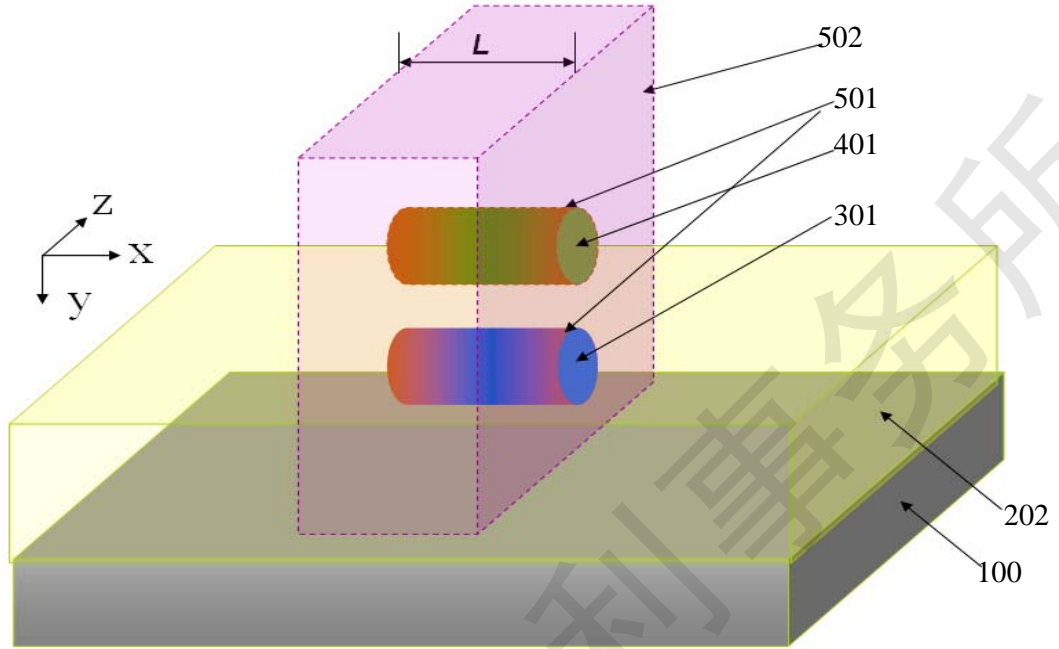


图 4



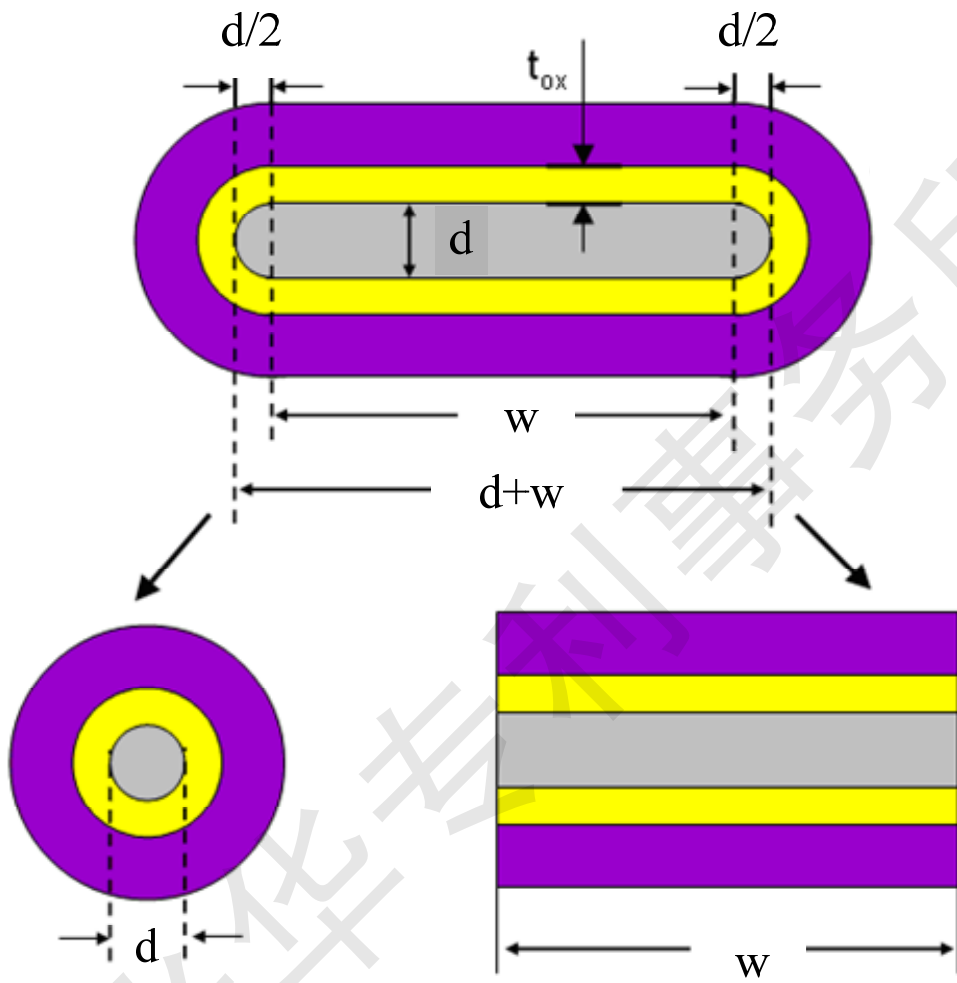


图 5

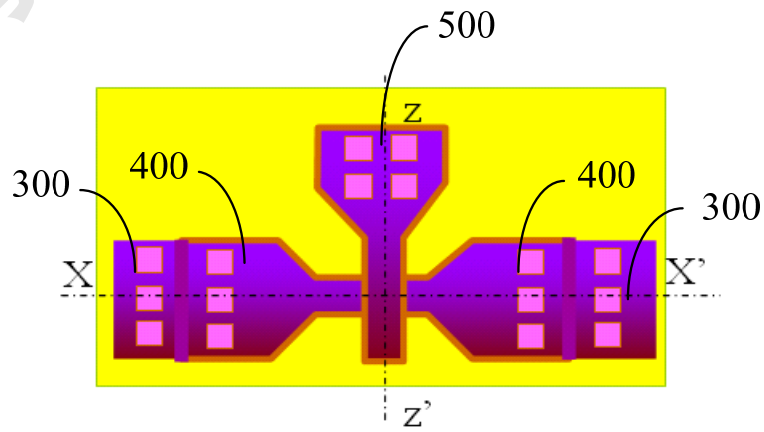


图 6a

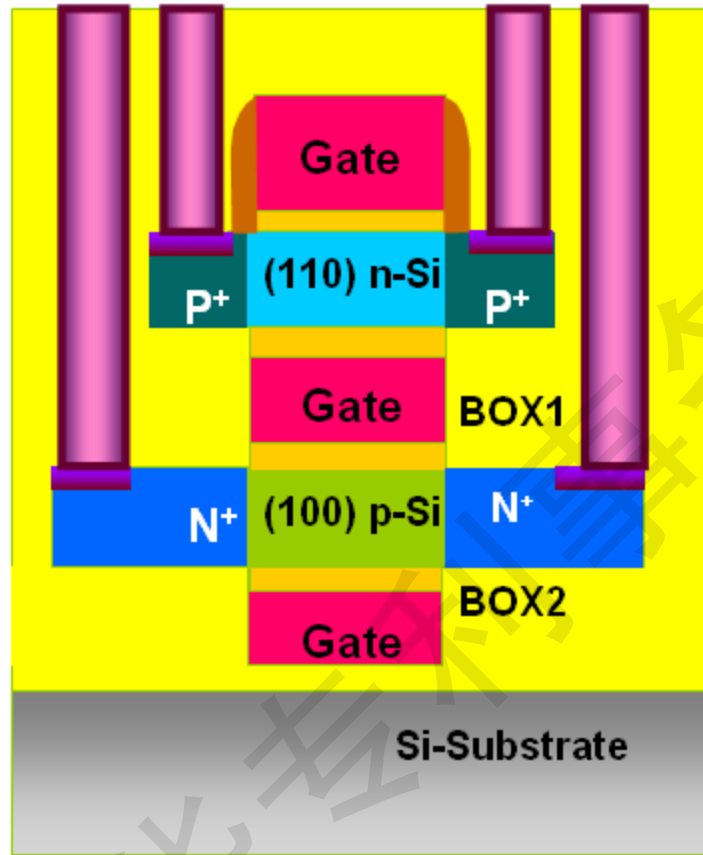


图 6b

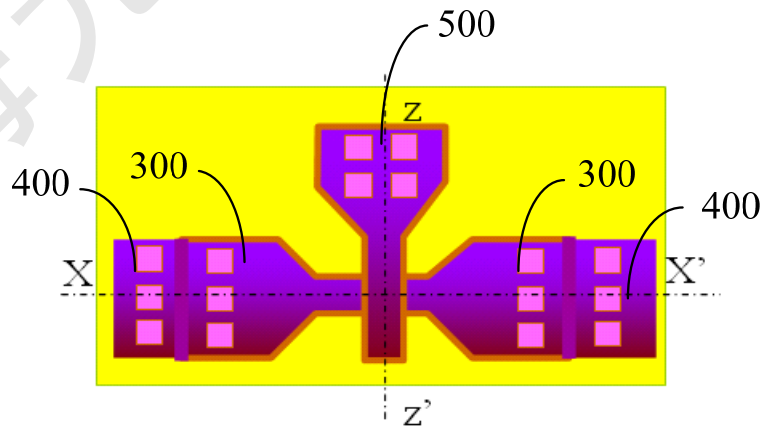


图 7a



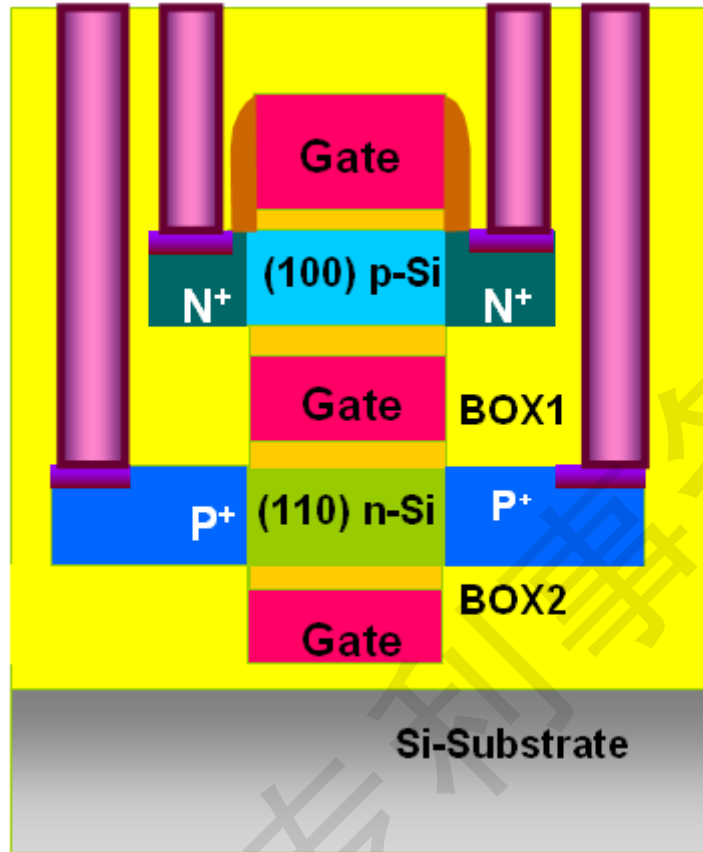


图 7b



一、电子领域技术资料准备的说明

技术/产品创新主要基于产品、设备的构造或生产工艺、控制方法的改进，则申请时应考虑提供：

- 1、已有技术/产品的不足：即说明与本专利的内容最相似的技术/产品，需要说明已有电路、产品/设备的主要结构、原理、实用效果，或已有控制方法的步骤、原理、效果，尤其指出与本专利相比，原有技术存在的缺点或不足之处。如有引用文献，需要说明出处；如有参考产品，指出其型号、厂家。对原有技术或电路的介绍尽可能详细，可附结构原理图、电路图或流程图。
- 2、本专利的内容：应说明本专利达到目的或解决问题的技术手段。包括产品、电路的组成、结构，尤其说明各组成部分之间的相互关系，例如连接关系、被作用的工作电流或信号的走向。对于方法，应当说明本方法的主要思路、步骤。写明本专利的工作原理，本专利与现有技术的区别点。
- 3、本专利的效果：有益效果可以由工作性能的提高，制作成本、能量损耗的减少，产率和精度的提高，稳定性的增加，操作、控制、使用的简便，以及其他有用性能的出现等方面反映出来。
- 4、附图与说明：产品构造或装置或设备的图解，图应以电子制图或流程图的标准绘制，而非扫描图。使专利工作人员可直接在附图上编辑修改，实用新型申请必须带附图。
- 5、本专利的具体实施例：对照附图，说明本专利的具体实施方式，必须有详细的工作机理，包括附图中各具体器件功能介绍、及流程图中具体各个流程的功能。最好提供相应的技术参数、数据来具体说明有益效果，可同时提供原有技术的参数数据进行对比。

二、软件领域技术资料准备的说明

以软件系统及实现方法为主：技术/产品创新主要基于软件系统、软件算法，则申请时应考虑提供：

- 1、已有软件/算法的不足：即说明与本专利的内容最相似的软件/算法，需要说明已有软件是由哪些模块主要组成，各模块的连接关系，各模块的作用，可结合模块组成图(若是软件算法，可说明已有算法具体包括什么步骤，可结合流程图)；

同时指出已有软件/算法的效果如何,尤其指出与本专利相比,原有软件/算法存在的缺点或不足之处。如有引用文献,需要说明出处。对原有技术的介绍尽可能详细,可附模块组成图、算法流程图。

2、本专利的内容:应说明本专利达到目的或解决问题的技术手段,包括软件是由哪些模块主要组成,各模块的连接关系,各模块的作用,可结合模块组成图(若是软件算法,可说明已有算法具体包括什么步骤,可结合流程图)。写明本专利的工作原理,本专利与现有技术的区别点。本部分可结合图表说明。

3、本专利的效果:有益效果可以由工作性能的提高,制作成本、能量损耗的减少,稳定性的增加,操作、控制、使用的简便,以及其他有用性能的出现等方面反映出来。

4、附图与说明:软件模块组成、算法流程的图解,附图应以电子制图或流程图的标准绘制,而非扫描图。使专利工作人员可直接在附图上编辑修改,实用新型申请必须带附图。

5、本专利的具体实施例:对照附图,说明本专利的具体实施方式,必须有详细的描述,包括附图中各具体模块功能介绍、及流程图中具体各个流程的功能。最好提供相应的技术参数、数据来具体说明有益效果,可同时提供原有技术的参数数据进行对比。

三、通信领域技术资料准备的说明

专利申请以通信产品、设备、技术为主,产品/设备的创新主要基于产品、设备的构造,技术的创新主要基于技术手段的改进,则申请时应考虑提供:

1、已有技术/产品的不足:即说明与本专利的内容最相似的技术/产品,需要说明已有技术/产品的主要结构、原理、实用效果,尤其指出与本专利相比,原有技术/产品存在的缺点或不足之处。如有引用文献,需要说明出处;如有参考产品,指出其型号、厂家。对原有技术的介绍尽可能详细,可附结构原理图。

2、本专利的内容:应说明本专利达到目的或解决问题的技术手段。包括产品的组成、结构,尤其说明各组成部分之间的相互关系,例如连接关系、被作用的工作电流或信号的走向;还包括技术方法的实现过程,先后顺序,尤其重点说明改进的步骤在哪里。写明本专利的工作原理,本专利与现有技术的区别点。

3、本专利的效果：有益效果可以由工作性能的提高，制作成本、能量损耗的减少，稳定性的增加，操作、控制、使用的简便，以及其他有用性能的出现等方面反映出来。

4、附图与说明：产品构造或装置或设备的图解，图应以电子制图或流程图的标准绘制，而非扫描图。使专利工作人员可直接在附图上编辑修改，实用新型申请必须带附图。

5、本专利的具体实施例：对照附图，说明本专利的具体实施方式，必须有详细的工作机理，包括附图中各具体器件功能介绍、及流程图中具体各个流程的功能。最好提供相应的技术参数、数据来具体说明有益效果，可同时提供原有技术的参数数据进行对比。

四、半导体域技术资料准备的说明

专利申请以产品、方法为主：产品/方法的创新主要基于产品的构造及工艺方法的步骤，则申请时应考虑提供：

1、本专利的任务是什么，或要解决的技术问题是什么？

2、已有产品/方法的不足：即说明与本专利的内容最相似的产品/方法，需要说明已有产品的主要结构、原理、实用效果，或已有工艺、方法的步骤、实用效果，尤其指出与本专利相比，原有产品/方法存在的缺点或不足之处。如有引用文献，需要说明出处；如有参考产品，指出其型号、厂家。对原有技术的介绍尽可能详细，可附结构原理图。

3、本专利的内容：应说明本专利达到目的或解决问题的技术手段。包括产品的组成、结构，尤其说明各组成部分之间的相互关系，例如连接关系、被作用的工作电流或信号的走向。或工艺、方法的流程步骤，还需说明各步骤涉及的重要工艺参数（如时间、温度等）、重要公式。写明本专利的工作原理，本专利与现有技术的区别点。

4、本专利的效果：有益效果可以由工作性能的提高，制作成本、能量损耗的减少，稳定性的增加，操作、控制、使用的简便，以及其他有用性能的出现等方面反映出来，对于工艺、材料的改进，还需给出实验数据加以证明。

5、附图与说明：产品构造或装置或设备的图解，图应以电子制图或流程图的标准绘制，而非扫描图。使专利工作人员可直接在附图上编辑修改，实用新型申请必须带附图。工艺、方法可提供流程图。

6、本专利的具体实施例：对照附图，说明本专利的具体实施方式，必须有详细的操作步骤、工作机理，包括附图中各具体器件功能介绍、及流程图中具体各个流程的功能。最好提供相应的技术参数、数据来具体说明有益效果，可同时提供原有技术的参数数据进行对比。

更详细的信息，您可以咨询上海光华专利事务所电子通信部经理，李律师，
021-51096606*840；email:lyp@iprtop.com。

关于我们的情况，您可以浏览网页：<http://www.iprtop.com>